

CLIPPEDIMAGE= JP409321276A

PAT-NO: JP409321276A

DOCUMENT-IDENTIFIER: JP 09321276 A

TITLE: INSULATED GATE ELECTRIC FIELD-EFFECT TRANSISTOR

PUBN-DATE: December 12, 1997

INVENTOR-INFORMATION:

NAME

TASHIRO, HIROKO

NAKAI, SATOSHI

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP08133118

APPL-DATE: May 28, 1996

INT-CL (IPC): H01L029/78;H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a buried channel IGFET(insulated gate field effect transistor) of high effective mobility having arbitrary threshold voltage.

SOLUTION: Impurity concentration and depth of a doped layer 4, acting as a buried layer of a buried channel insulated gate type electric field-effect transistor, are adjusted, so that, the ratio of an electric charge per unit surface area of a movable carrier of a channel part 6, in the condition where a supply voltage is applied to a gate electrode 8 and a voltage which causes a micro electric field in the channel part 6 is applied to a drain area 3, to a depletion layer electric charge per unit surface area of

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 許出願公開番号

特開平9-321276

(43) 公開日 平成9年(1997)12月12日

(51) Int.Cl.<sup>8</sup>

H 0 1 L 29/78  
21/336

識別記号

庁内整理番号

F I

H 0 1 L 29/78

3 0 1 Z

技術表示箇所

審査請求 未請求 請求項の数3 O L (全 7 頁)

(21) 出願番号 特願平8-133118

(22) 出願日 平成8年(1996)5月28日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72) 発明者 田代 浩子

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(72) 発明者 中井 聡

神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外2名)

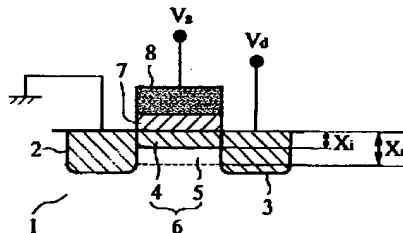
(54) 【発明の名称】 絶縁ゲート型電界効果トランジスタ

(57) 【要約】

【課題】 絶縁ゲート型電界効果トランジスタに関し、任意の $V_{th}$ を有し、且つ、高実効移動度の埋込チャネル型IGFETを提供する。

【解決手段】 埋込チャネル型の絶縁ゲート型電界効果トランジスタの埋込層となるドーピング層4の不純物濃度及び深さを調整することによって、ゲート電極8に電源電圧を印加し、且つ、ドレイン領域3にチャネル部6に微小電界が生じる電圧を印加した状態における、チャネル部6の単位表面積当たりの空乏層電荷に対する同じバイアス状態におけるチャネル部6の可動キャリアの単位表面積当たりの電荷の比を、ゲート電極8に電圧を印加しない場合の比より大きくする。

本発明の原理的構成の説明図



- 1: 半導体基板
- 2: ソース領域
- 3: ドレイン領域
- 4: ドーピング層
- 5: 空乏層
- 6: チャネル部
- 7: ゲート絶縁膜
- 8: ゲート電極

## 【特許請求の範囲】

【請求項1】 一導電型の半導体基板に設けた反対導電型のソース領域とドレイン領域と、前記ソース領域とドレイン領域との間のチャンネル部にゲート絶縁膜を介して設けた金属または金属化合物のいずれかからなるゲート電極と、前記チャンネル部表面に設けた反対導電型のドーピング層とを有する埋込チャンネル型の絶縁ゲート型電界効果トランジスタにおいて、前記ドーピング層の不純物濃度及び深さを調整することによって、前記ゲート電極に電源電圧を印加し、且つ、前記ドレイン領域に前記チャンネル部に微小電界が生じる程度の電圧を印加した状態における、前記チャンネル部の単位表面積当たりの空乏層電荷に対する同じバイアス状態における前記チャンネル部の可動キャリアの単位面積当たりの電荷の第1の比を、前記ゲート電極に電圧を印加せず、且つ、前記ドレイン領域に前記チャンネル部に微小電界が生じる程度の電圧を印加した状態における前記チャンネル部の単位面積当たりの空乏層電荷に対する同じバイアス状態における前記チャンネル部の可動キャリアの単位面積当たりの電荷の第2の比よりも大きくすることを特徴とする絶縁ゲート型電界効果トランジスタ。

【請求項2】 上記チャンネル部に微小電界が生ずる程度の電圧が、絶対値で0.2V以下であり、上記第1の比は5以上、および、上記第2の比は5以下であることを特徴とする請求項1記載の絶縁ゲート型電界効果トランジスタ。

【請求項3】 上記ゲート電極が、モリブデン、タングステン、または、タングステンシリサイドのいずれかからなることを特徴とする請求項1または2に記載の絶縁ゲート型電界効果トランジスタ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は絶縁ゲート型電界効果トランジスタ(IGFET)に関するものであり、特に、しきい値電圧( $V_{th}$ )を任意に制御できるようにした埋込チャンネル型の絶縁ゲート型電界効果トランジスタに関するものである。

## 【0002】

【従来の技術】従来、MOSFETを中心とする絶縁ゲート型電界効果トランジスタは、各種用途に使用されて\*

$$E_{eff} = (1/\epsilon_{si}) \times (Q_d + \eta Q_i) \quad \dots (1) \text{式}$$

で表される。

【0009】なお、 $\eta$ の値としては、実験的に求められたものであり、nチャンネル型IGFETに対しては $\eta = 1/2$ 、pチャンネル型IGFETに対しては $1/3$ とするのが適当である。

## 【0010】図4(b)参照

また、埋込チャンネル型IGFETにおける単位表面積当

$$Q_d = q N_B (X_d - X_i) - q N_s \times X_i \quad \dots (2) \text{式}$$

で表される。

\*おり、特に、消費電力を低減するために、nチャンネル型IGFETとpチャンネル型IGFETとによって構成した相補型半導体装置が広く使用されている。

【0003】このような相補型半導体装置においては、製造工程を簡素化するために、ゲート電極としてpチャンネル型IGFETに対しても $n^+$ 型多結晶シリコンを用いることが行われており、ゲート電極材料として $n^+$ 型多結晶シリコンを用いた場合には、pチャンネル型IGFETを埋込チャンネル型IGFET、即ち、チャンネル部にソース・ドレイン領域と同導電型のドーピング層を設けたIGFETにする必要があり、その結果として、表面チャンネル型IGFETより高い移動度が得られている。

【0004】このような $n^+$ 型多結晶シリコンゲート電極を用いたpチャンネル型の埋込チャンネル型IGFETにおいては、n型シリコン基板の不純物濃度及びp型ドーピング層のドーズ量を経験的に調整して $V_{th}$ を調整していた。

## 【0005】図4(a)参照

図4(a)は、pチャンネル型の埋込チャンネル型IGFETの概略的構成の断面図であり、ゲート電極が $n^+$ 型多結晶シリコンゲート電極23で構成されると共に、p型ソース領域24及びp型ドレイン領域25との間のチャンネル領域表面にはイオン注入より深さ $X_i$ のp型ドーピング層26を形成していた。

【0006】しかし、近年のデバイスの微細化に伴って、電源電圧も低下し、電源電圧の低下に伴って電流値も低下していくので、所望の値の $V_{th}$ に対して電流値の増加が要求されているが、従来の基板不純物濃度及びドーズ量では十分大きな実効移動度を得ることができなかった。

【0007】一般に、IGFETにおけるキャリアの実効移動度と、実効電界との間には、良く知られているように、ゲート長やゲート絶縁膜厚等に依存しない1:1に対応するユニバーサルな関係があり、したがって、実効電界が小さい程、実効移動度が大きくなり、実効電界を小さくすることができれば、大きな実効移動度を有するIGFETを実現することができる。

【0008】この場合、実効電界 $E_{eff}$ は、単位表面積当たりの空乏層電荷を $Q_d$ とし、単位表面積当たりの表面電荷を $Q_i$ とし、 $\eta$ を定数とした場合、

※たりの空乏層電荷 $Q_d$ は、基板側の空乏層電荷とドーピング層側空乏層電荷の差引きで表され、各不純物濃度を図4(b)に示すように矩形近似で表した場合、 $N_B$ をn型シリコン基板21の不純物濃度、 $N_s$ をp型ドーピング層26の不純物濃度、 $X_d$ を空乏層27の幅、及び、 $X_i$ をp型ドーピング層26の深さすると、

★50★【0011】即ち、 $Q_d$ は空乏層27における、n型シ

リコン基板21のn型不純物に起因するドナー濃度、及び、p型ドーピング層26のp型不純物に起因するアクセプタ濃度によって規定され、一方、ゲート電圧によってn型シリコン基板21の表面に誘起された単位表面積当たりの正孔濃度である $Q_i$ は、ゲート酸化膜22の容量、ゲート電圧 $V_g$ 、及び、しきい電圧 $V_{th}$ 等に依存することになる。

【0012】したがって、上記(1)式、及び、(2)式より、 $Q_d$ が0に近い条件を実現する $N_B$ 、 $N_s$ 、 $X_d$ 、及び、 $X_i$ を見出すことによって実効電界を極小にすることができ、それに伴ってユニバーサルな関係によって実効移動度が極大になり、大きな電流値を得ることが可能になる。

【0013】

【発明が解決しようとする課題】しかし、従来の埋込チャネル型IGFETにおいては、ゲート電極材料として $n^+$ 型多結晶シリコンを用いるかぎり、基板の不純物濃度、及び、埋込層となるドーピング層のドーピング条件をどの様にしても、 $Q_d$ が十分小さい条件では、 $V_{th}$ は略一定の値に収斂し、 $V_{th}$ を任意に設定できないという問題がある。

【0014】図5参照

図5は、この様なpチャネル型の埋込チャネル型IGFETについて、基板の不純物濃度、及び、ドーピング層の不純物濃度に関して、計算を簡単にするために矩形近似を用いて、各種の基板の不純物濃度( $N_B$ )、ドーピング層の不純物濃度( $N_s$ )、及び、ドーピング層の深さ( $X_i$ )の組合せについて、最大空乏層幅 $X_{dm}$ 、即ち、IGFETがオンの時の空乏層幅における単位表面積当たりの空乏層電荷 $Q_d$ と $V_{th}$ との関係をデバイスシミュレーションによって求めた結果を示すものである。

【0015】図から明らかな様に、各種の基板の不純物濃度( $N_B$ )、ドーピング層の不純物濃度( $N_s$ )、及び、ドーピング層の深さ( $X_i$ )をいろいろ変化させても、 $Q_d$ と $V_{th}$ との関係は、略一つの直線に乗ることになる。

【0016】そして、 $Q_d$ が十分小さい条件では、 $V_{th}$ は略一定の値、図においては、 $-0.9V$ に収斂し、実効電界を小さくして実効移動度を高めようとする場合、 $V_{th}$ を任意の値に設定することができなかった。

【0017】したがって、本発明は、任意の $V_{th}$ を有し、且つ、高実効移動度の埋込チャネル型IGFETを提供することを目的とする。

【0018】

【課題を解決するための手段】図1は本発明の原理的構成の説明図であり、この図1を参照して本発明における課題を解決するための手段を説明する。

図1参照

(1)本発明は、一導電型の半導体基板1に設けた反対導電型のソース領域2とドレイン領域3と、ソース領域

2とドレイン領域3との間のチャネル部6上にゲート絶縁膜7を介して設けた金属または金属化合物のいずれかからなるゲート電極8と、チャネル部6表面に設けた反対導電型のドーピング層4とを有する埋込チャネル型の絶縁ゲート型電界効果トランジスタにおいて、ドーピング層4の不純物濃度及び深さを調整することによって、ゲート電極8に電源電圧を印加し、且つ、ドレイン領域3にチャネル部6に微小電界が生じる程度の電圧を印加した状態における、チャネル部6の単位表面積当たりの空乏層電荷に対する同じバイアス状態におけるチャネル部6の可動キャリアの単位表面積当たりの電荷の第1の比を、ゲート電極8に電圧を印加せず、且つ、ドレイン領域3にチャネル部6に微小電界が生じる程度の電圧を印加した状態におけるチャネル部6の単位表面積当たりの空乏層電荷に対する同じバイアス状態におけるチャネル部6の可動キャリアの単位表面積当たりの電荷の第2の比よりも大きくすることを特徴とする。

【0019】この様に、埋込チャネル型IGFETにおいて、ゲート電極8に電源電圧 $V_g$ を印加し、且つ、ドレイン領域3にチャネル部6に微小電界が生じる程度の十分小さな電圧 $V_d$ を印加した状態における、チャネル部6の単位表面積当たりの空乏層電荷、即ち、空乏層5内におけるアクセプタ及びドナーに起因する電荷に対する、同じバイアス状態におけるチャネル部6の可動キャリアの単位表面積当たりの電荷の第1の比を、ゲート電極8に電圧を印加せず、且つ、ドレイン領域3にチャネル部6に微小電界が生じる程度の電圧を印加した状態におけるチャネル部6の単位表面積当たりの空乏層電荷に対する同じバイアス状態におけるチャネル部6の可動キャリアの単位表面積当たりの電荷の第2の比よりも大きくすることによって、実効電界を小さくし、それによって実効移動度を大きくすることができ、且つ、ゲート電極8の材料を選択することによって、任意のしきい電圧 $V_{th}$ に設定することができる。

【0020】(2)また、本発明は、上記(1)において、チャネル部6に微小電界が生ずる程度の電圧が、絶対値で $0.2V$ 以下であり、第1の比は5以上、および、第2の比は5以下であることを特徴とする。

【0021】この様に、チャネル部6に微小電界が生ずる程度の電圧を、絶対値で $0.2V$ 以下、より好適には $0.1V$ 以下にし、また、第1の比を5以上、望ましくは10以上、さらに望ましくは20以上にし、且つ、第2の比を5以下にすることによって、実効移動度を大きくすることができる。

【0022】(3)また、本発明は、上記(1)または(2)において、ゲート電極8が、モリブデン、タングステン、および、タングステンシリサイドのいずれかからなることを特徴とする。

【0023】この様に、ゲート電極8として、 $Mo$ 、 $W$ 、或いは、 $WSi_2$ からなる耐熱性の材料を用いるこ

とによって、従来と同様に自己整合技術をそのまま用いて任意のしきい電圧に設定することができ、特に、製造工程の容易性及び耐湿性等の観点からはWSi<sub>2</sub>（タングステンシサイド）が望ましいものである。

【0024】

【発明の実施の形態】まず、図2を参照して、本発明の第1の実施の形態を説明する。

図2(a)参照

図2(a)は、デバイスシミュレーションに用いたpチャネル型の埋込チャネル型IGFETの概略的構成の断面図であり、n型シリコン基板11に設けたp型ソース領域14とp型ドレイン領域15との間のチャネル領域の表面にp型ドーピング層16を埋込チャネル層として設ける。

【0025】なお、実効電界と実効移動度との間には、上述の様にゲート長Lやゲート絶縁膜の厚さに依存せず、1:1に対応するユニバーサルな関係があるため、ゲート酸化膜12の厚さは任意であるが、ゲート長Lについては、しきい電圧(V<sub>th</sub>)の短チャネル効果の影響を除外するために、L=5μmとしており、得られた結果に対して短チャネル効果を考慮することによって、実際のV<sub>th</sub>を推定することができる。

【0026】図2(b)参照

図2(b)は、試行錯誤的にチャネル領域の空乏層電荷が十分小さくなるように、p型ドーピング層16の不純物プロファイルを設定した一例であり、10<sup>17</sup>cm<sup>-3</sup>の不純物濃度のn型シリコン基板11に対して、表面濃度が10<sup>18</sup>cm<sup>-3</sup>で、表面から約0.03μmの深さX<sub>i</sub>で不純物濃度が最低になるプロファイルとしている。

【0027】この様な、埋込チャネル型IGFETにおいて、ゲート電極13として仕事関数が4.53eVのモリブデン(Mo)を用いた場合、ゲート電圧V<sub>g</sub>として-5.0V印加し、ドレイン電圧V<sub>d</sub>として-0.1V印加した時、チャネル領域における単位表面積当たりの空乏層電荷Q<sub>d</sub>と、チャネル領域の単位表面積当たりの表面電荷Q<sub>i</sub>を計算すると、

$$Q_d = 9.80 \times 10^{-8} \text{ C/cm}^2$$

$$Q_i = 1.63 \times 10^{-6} \text{ C/cm}^2$$

となり、

$$Q_d / Q_i = 9.80 \times 10^{-8} / 1.63 \times 10^{-6}$$

$$\approx 6.01 \times 10^{-2} < 1/10$$

となり、Q<sub>d</sub>が十分小さいので、実効移動度を十分大きくすることができる。

【0028】この場合のしきい電圧は、V<sub>th</sub>=-0.2Vとなり、n<sup>+</sup>型多結晶シリコンを用いた場合の-0.9Vと異なったV<sub>th</sub>が得られる。なお、デバイスシミュレーションにおける実際の計算は、複雑を極めるので、得られた結果のみを示す。

【0029】次に、図3(a)を参照して、不純物プロファイル及びゲート電極材料を変えた第2の実施の形態

を説明する。

図3(a)参照

この場合には、不純物濃度が10<sup>16</sup>cm<sup>-3</sup>のn型シリコン基板11に対して、表面濃度が10<sup>17</sup>cm<sup>-3</sup>で、表面から約0.01μmの深さにおいて約5×10<sup>17</sup>cm<sup>-3</sup>の極大値をとり、約0.025μmの深さX<sub>i</sub>で不純物濃度が最低になるプロファイルとし、ゲート電極として仕事関数が4.80eVのタングステンシサイド(WSi<sub>2</sub>)を用いる。

【0030】そして、ゲート電圧V<sub>g</sub>として-5.0V印加し、ドレイン電圧V<sub>d</sub>として-0.1V印加した時の、チャネル領域における単位表面積当たりの空乏層電荷Q<sub>d</sub>と、チャネル領域の単位表面積当たりの表面電荷Q<sub>i</sub>を計算すると、

$$Q_d = 3.90 \times 10^{-8} \text{ C/cm}^2$$

$$Q_i = 7.63 \times 10^{-7} \text{ C/cm}^2$$

となり、

$$Q_d / Q_i = 3.90 \times 10^{-8} / 7.63 \times 10^{-7}$$

$$\approx 5.11 \times 10^{-2} < 1/10$$

となり、Q<sub>d</sub>が十分小さいので、実効移動度を十分大きくすることができる。

【0031】この場合のしきい電圧は、V<sub>th</sub>=-0.06Vとなり、n<sup>+</sup>型多結晶シリコンを用いた場合の-0.9V、及び、モリブデンを用いた場合の-0.2Vとは異なったV<sub>th</sub>が得られる。

【0032】次に、図3(b)を参照して、不純物プロファイル、ゲート電極材料、及び、ゲート電圧、即ち、電源電圧を変えた第3の実施の形態を説明する。

図3(b)参照

この場合には、不純物濃度が10<sup>16</sup>cm<sup>-3</sup>のn型シリコン基板11に対して、表面濃度が2×10<sup>16</sup>cm<sup>-3</sup>で、表面から約0.025μmの深さにおいて約10<sup>17</sup>cm<sup>-3</sup>の極大値をとり、約0.06μmの深さX<sub>i</sub>で不純物濃度が最低になるプロファイルとし、ゲート電極として仕事関数が4.63eVのタングステン(W)を用いる。

【0033】そして、微細化に伴い電源電圧が低下することを想定して、ゲート電圧V<sub>g</sub>として-2.5V印加し、ドレイン電圧V<sub>d</sub>として-0.1V印加した時の、チャネル領域における単位表面積当たりの空乏層電荷Q<sub>d</sub>と、チャネル領域の単位表面積当たりの表面電荷Q<sub>i</sub>を計算すると、

$$Q_d = 2.70 \times 10^{-8} \text{ C/cm}^2$$

$$Q_i = 7.20 \times 10^{-7} \text{ C/cm}^2$$

となり、

$$Q_d / Q_i = 2.70 \times 10^{-8} / 7.20 \times 10^{-7}$$

$$\approx 3.75 \times 10^{-2} < 1/10$$

となり、Q<sub>d</sub>が十分小さいので、実効移動度を十分大きくすることができる。

【0034】この場合のしきい電圧は、V<sub>th</sub>=-0.3

8Vとなり、 $n^+$  型多結晶シリコンを用いた場合の-0.9V、モリブデンを用いた場合の-0.2V、及び、タングステンシリサイドを用いた場合の-0.06Vとは異なった $V_{th}$ が得られる。

【0035】なお、上記の各実施の形態においては、各ゲート材料について、1つの不純物プロファイルの例についてしか説明していないものの、上記図2(b)乃至図3(b)の3つの場合に、ゲート材料を変えて $V_{th}$ を計算しても、 $V_{th}$ は図5の場合と同様にほとんど変化せず、変化したとしても、絶対値で0.02V程度に過ぎない。

【0036】また、ゲート電極13に印加するゲート電圧 $V_g$ 、即ち、電源電圧を変えてみても、 $V_{th}$ はほとんど変化しないので、微細化に伴って電源電圧を5.0Vから3.3Vへ、さらには、3.3V以下に低下させても、不純物プロファイルを $Q_d$ が十分小さくなる様に設定することによって、ゲート電極材料を選択することによって $V_{th}$ を任意の値に再現性良く設定することができる。

【0037】また、上記の実施の形態においては、ゲート電極材料としてはMo、 $WSi_2$ 、及び、Wの3つしか例示していないが、この3つのゲート電極材料に限られるものではなく、各種の金属材料或いは金属化合物材料の使用が可能であるが、自己整合工程を用いるためには、高融点金属、或いは、高融点金属化合物、特に、高融点金属シリサイドを用いることが望ましい。

【0038】また、不純物プロファイルも上記の3つの例に限られるものではなく、 $Q_d$ を十分小さくできる値、例えば、 $Q_d/Q_i \leq 1/5$ になるプロファイルであれば良いが、上記の3つの実施の形態のように $Q_d/Q_i \leq 1/10$ がより望ましく、また、 $Q_d/Q_i \leq 1/20$ がさらに望ましく、値が小さくなるにつれて実効移動度がより大きくなる。

【0039】また、上記の実施の形態の説明においては、ドレイン電圧 $V_d$ を-0.1Vにした状態で、シミュレーションを行っているが、これは、実効移動度を測定する際に、キャリアの走行方向と平行にかかる電界を十分小さくして、この電界の影響による移動度の低下をできるかぎり小さくするためであるが、-0.2Vの場合にも略同様に成立するものであり、絶対値において0.2V以下、より好ましくは0.1V以下であれば良い。

【0040】また、上記の説明においては、pチャネル型の埋込チャネル型IGFETで説明しているが、pチャネル型に限られるものではなく、nチャネル型にも適用されるものであり、この場合には、印加する電圧は正負を反対にすれば良い。

【0041】また、pチャネル型の埋込チャネル型IGFETの主要用途は相補型半導体装置、即ち、CMOS ICであるが、CMOS ICに限られるものでなく、C

MOSを構成しない半導体装置にも適用されるものである。

【0042】さらに、ゲート絶縁膜もシリコン酸化膜に限られるものではなく、他の酸化膜、或いは、SiN膜等の酸化膜以外のゲート絶縁膜も対象とするもの、即ち、MOS型半導体装置以外のMIS型半導体装置を含む絶縁ゲート型半導体装置を対象とするものである。

【0043】以上において、本発明の実施の形態を説明してきたが、要するに本発明は、従来、ドーズ量等で $V_{th}$ を調整してきた埋込チャネル型IGFETにおいて、実効移動度を大きくしようとした場合に、 $V_{th}$ の任意性がなくなる問題点を見出し、この問題点をゲート電極材料を選択することによって解決しようとしたものである。

【0044】

【発明の効果】本発明によれば、埋込チャネル型IGFETに対して空乏層電荷に注目することによって、原理上最も移動度の高い構造を決定することができ、また、仕事関数の異なるゲート電極材料を用いることによって、任意の $V_{th}$ を得ることができ、将来のデバイスの微細化に伴う電流値の減少を補うことができる。

【図面の簡単な説明】

【図1】本発明の原理的構成の説明図である。

【図2】本発明の第1の実施の形態の説明図である。

【図3】本発明の第2及び第3の実施の形態の説明図である。

【図4】矩形近似によるデバイスシミュレーションの説明図である。

【図5】矩形近似による $V_{th}$ の $Q_d$ 依存性の説明図である。

【符号の説明】

- 1 半導体基板
- 2 ソース領域
- 3 ドレイン領域
- 4 ドーピング層
- 5 空乏層
- 6 チャネル部
- 7 ゲート絶縁膜
- 8 ゲート電極
- 11 n型シリコン基板
- 12 ゲート酸化膜
- 13 ゲート電極
- 14 p型ソース領域
- 15 p型ドレイン領域
- 16 p型ドーピング層
- 17 空乏層
- 21 n型シリコン基板
- 22 ゲート酸化膜
- 23  $n^+$  型多結晶シリコンゲート電極
- 24 p型ソース領域

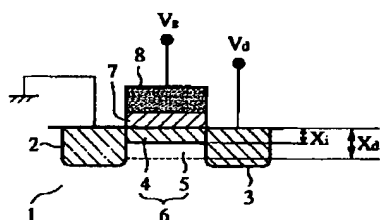
25 p型ドレイン領域

26 p型ドーピング層

27 空乏層

【図1】

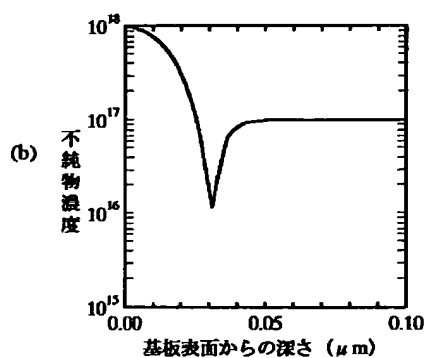
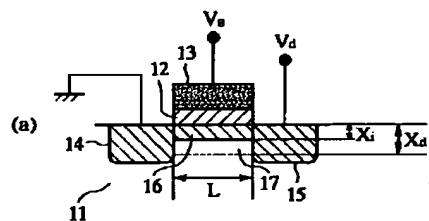
本発明の原理的構成の説明図



- 1: 半導体基板  
 2: ソース領域  
 3: ドレイン領域  
 4: ドーピング層  
 5: 空乏層  
 6: チャネル部  
 7: ゲート絶縁膜  
 8: ゲート電極

【図2】

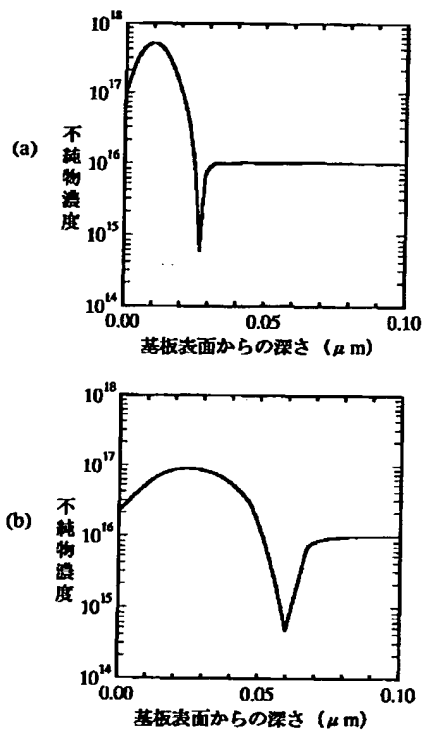
本発明の第1の実施の形態の説明図



- 11: n型シリコン基板 15: p型ドレイン領域  
 12: ゲート酸化膜 16: p型ドーピング層  
 13: ゲート電極 17: 空乏層  
 14: p型ソース領域

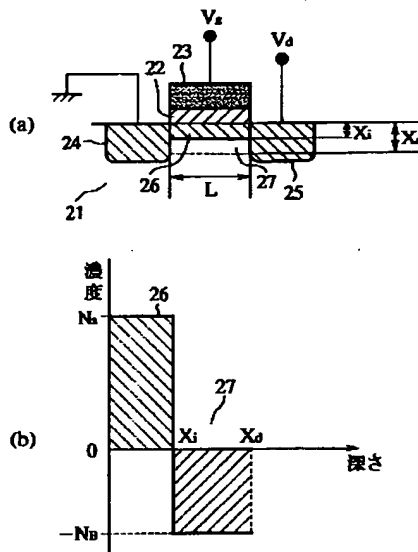
【図3】

本発明の第2及び第3の実施の形態の説明図



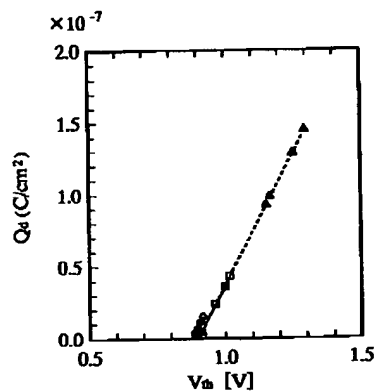
【図4】

矩形近似によるデバイスシミュレーションの説明図



21: n型シリコン基板      25: p型ドレイン領域  
 22: ゲート酸化膜      26: p型ドーピング層  
 23: n型多結晶シリコンゲート電極      27: 空乏層  
 24: p型ソース領域

【図5】

矩形近似による $V_{th}$ の $Q_d$ 依存性の説明図

—●—  $N_B=1\text{E}15, N_S=3\text{E}17$       —●—  $N_B=1\text{E}15, N_S=7\text{E}17$   
 —○—  $N_B=1\text{E}16, N_S=3\text{E}17$       —■—  $N_B=1\text{E}16, N_S=7\text{E}17$   
 —△—  $N_B=1\text{E}17, N_S=3\text{E}17$       —◆—  $N_B=1\text{E}17, N_S=7\text{E}17$